

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 2000-286686
(43)Date of publication of application : 13.10.2000

(51)Int.Cl.

H03K 5/1532
H03K 5/1252
H03K 5/04

(21) Application number : 11-094066

(71)Applicant : SEIKO EPSON CORP

(22) Date of filing : 31.03.1999

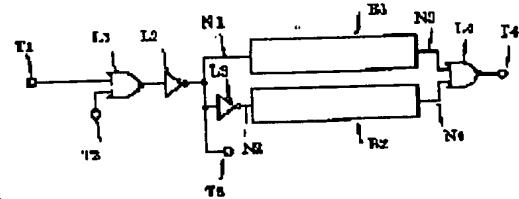
(72) Inventor : TAGO AKIHIKO

(54) TRANSITION DETECTION CIRCUIT

(57)Abstract:

PROBLEM TO BE SOLVED: To provide a transition detection circuit which is effective to increase the access speed by the reduction of capacitance of an input circuit and also to improve the noise characteristics by detecting the rise or fall of an input signal and expanding the pulse width of an output signal.

SOLUTION: When an input terminal T1 falls, an output pulse is generated by a rise pulse detection circuit of a circuit block B2 and a pulse expansion circuit of the block B2 expands the output pulse. When the terminal T1 rises, an output pulse is generated by a rise pulse detection circuit of a circuit block B1 and a pulse expansion circuit of the block B1 expands the output pulse. The output waveforms of both blocks B1 and B2 are logically synthesized to obtain an output waveform of a transition circuit. Thereby the output pulse of a transition detection circuit having a sufficient reset time can be generated even with the pulse width that is generated by the noise of an input terminal that does not satisfy the reset time. Furthermore, the load capacitance of an input circuit can be optimized and accordingly the access speed is increased.



LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

(19)日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11)特許出願公開番号
特開2000-286686
(P2000-286686A)

(43)公開日 平成12年10月13日(2000.10.13)

(51) Int.Cl.⁷ H 0 3 K 5/1532
5/1252
5/04

F I		データ(参考)
H 0 3 K	5/00	E 5 J 0 0 1
	5/04	5 J 0 3 9
	5/01	C

審査請求 未請求 請求項の数3 O.L (全 6 頁)

(21)出願番号 特願平11-94066

(22) 出願日 平成11年3月31日(1999.3.31)

(71)出願人 000002369
セイコーエプソン株式会社
東京都新宿区西新宿2丁目4番1号

(72)発明者 田子 明彦
長野県諏訪市大和3丁目3番5号 セイコ
エプソン株式会社内

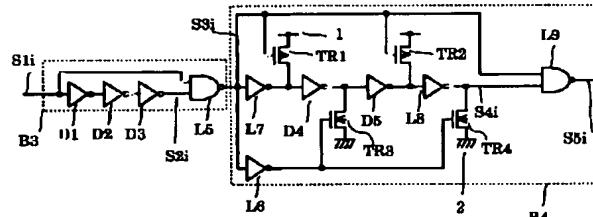
(74)代理人 100093388
弁理士 鈴木 喜三郎 (外2名)
F ターム(参考) 5J001 AA05 AA11 BB07 BB10 BB11
BB12 BB19 CC01 CC04 CC05
DD07 DD09
5J039 AB01 AB03 AB06 KK10 KK13
KK15 MM08

(54) 【発明の名称】 遷移検出回路

(57)【要約】

【課題】入力端子に印加されたノイズで発生したパルスによりリセット時間が十分でないために発生する誤動作の問題を解決し、ノイズに対する安定化と高速化を実現する。

【解決手段】パルス検出回路と、前記パルス検出回路の出力信号で遅延回路を構成する反転回路の各接点を第1の電源電圧または第2の電源電圧に接続する機能を有するパルス伸長回路を遷移検出回路に設けることで入力信号にノイズで生じた幅の小さいパルスが発生してもリセット時間が十分な遷移検出回路の出力パルスを生成する。



【特許請求の範囲】

【請求項1】入力端子に印加される入力信号の変化を検出する遷移検出回路において、入力信号の立ち上がりまたは立ち下がりを検出する機能を有するパルス検出回路と、前記パルス検出回路の出力信号のパルス幅を伸長する機能を有するパルス伸長回路から構成されることを特徴とする遷移検出回路。

【請求項2】前記パルス伸長回路は、第1の導電型トランジスタのドレインまたは第2の導電型トランジスタのドレインが前記パルス検出回路の出力信号を遅延させる機能を有する反転回路の入力端子または出力端子に接続され、前記第1の導電型トランジスタのソースを第1の電源電圧に、前記第2の導電型トランジスタのソースを第2の電源電圧に接続され、前記第1の導電型トランジスタのゲートが前記パルス検出回路の出力端子に接続され、前記第2の導電型トランジスタのゲートが、前記パルス検出回路の出力端子に入力端子が接続された反転回路の出力端子に接続されていることを特徴とする請求項1記載の遷移検出回路。

【請求項3】前記パルス伸長回路は、前記パルス検出回路の出力端子に接続する第1の導電型および第2の導電型のトランジスタのゲート長が前記パルス伸長回路を構成する第1の導電型および第2の導電型のトランジスタの最大ゲートゲート長より小さいことを特徴とする請求項1記載の遷移検出回路。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は入力端子に印加される入力信号の変化を検出する遷移検出回路に関する。

【0002】

【従来の技術】図5は半導体記憶装置のアドレス遷移検出回路の回路図である。T1はアドレスの入力端子、2は低電源電圧（低電源電圧を0Vとし以下GNDと略す）、T2はNOR回路L1を活性／非活性状態を選択するNOR回路制御信号入力端子である。NOR回路L1はGNDで活性状態、高電源電圧（以下VDDと略す）で非活性状態となる。C1は負荷容量、L2とL3は反転回路である。T3は入力回路出力端子でアドレスバッファに接続される。B5とB6は立ち上がりパルス検出回路の回路ブロックを表す。L4はNOR回路で前記回路ブロックB5とB6の出力波形を論理合成する機能を有する。T4は遷移検出回路の出力端子を、N1～N4は接点を表す。立ち上がりパルス検出回路の回路ブロックB5とB6の回路図を図6に示す。D6からD10は遅延用反転回路で遅延回路ブロックB7を構成する。S6iからS8i（回路ブロックB5の時はi=5、回路ブロックB6の時はi=6となる）は接点を表し、図5の接点N1からN4の対応は次のようになる。接点S65と接点N1、接点S66と接点N2、接点S85と接点N3、接点S86と接点N4は同一である。

L10はNAND回路で前記遅延回路ブロックの入力及び出力である接点S6iとS7iの波形を論理合成する機能を有する。遅延用反転回路D6～D10において、奇数段目の遅延用反転回路のPチャネルトランジスタの能力はNチャネルトランジスタの能力に比べて大きく、偶数段目の遅延用反転回路のPチャネルトランジスタの能力はNチャネルトランジスタの能力に比べて小さく設定しているので、立ち下がり波形が接点S6iに入力されると、接点S7iの波形はGNDからVDDにすぐに立ち上がり、立ち上がり波形が接点S6iに入力されると、接点S7iの波形は接点S6iの立ち上がり波形から遅延して立ち下がる。以下、前者の遅延量を速い経路の遅延量、後者の遅延量を遅い経路の遅延量とする。遅い経路の遅延量はアドレスが変化してから読み出しままたはデータの書き込みを始める前に半導体記憶装置内の内部回路を十分に初期化状態するのに必要な時間に設定されている。前記初期化状態とは半導体装置内部の回路内で対となる信号線（たとえば、ビット線、データ線、センスアンプの入力及び出力線）を同電圧化し、メモリセルを選択するワードラインとカラムラインを非選択状態にすることで以下リセットと略す。

【0003】アドレスの入力端子T4に通常の波形が印加された時の図5の回路の動作波形を図7示す。図中において縦軸は電圧、横軸は時間を表す。接点N1とN2の波形が立ち下がる時接点S75とS76の波形は速い経路の遅延量分遅れて立ち上がり、接点N1とN2の波形が立ち上がる時接点S75とS76の波形は遅い経路の遅延量分遅れて立ち上るので、アドレスの入力端子T1が立ち下がる時は接点S86でパルスが発生し、アドレスの入力端子T1が立ち上がる時は接点S85でパルスが発生する。遷移検出回路の出力端子T4の波形は接点S85とS86と論理合成された波形になる。遷移検出回路の出力端子T4の波形のVDDの期間がリセット時間となる。

【0004】図8にアドレスの入力端子T1に印加されている信号に遅延回路ブロックB7の遅い経路の遅延量以下の幅を持つノイズが入った場合の動作波形を示す。図中において縦軸は電圧、横軸は時間を表す。

【0005】アドレスの入力端子T1の入力電圧がVDDの時にノイズが入ってGNDになり、そしてまたVDDに回復する場合についての動作の説明をする。遅延回路ブロックB5の入力となる接点N1の波形はVDDからGNDそしてVDDに変化する。接点N1がVDDからGNDに変化すると接点S75の波形は、速い経路の遅延量遅延してGNDからVDDに変化し、接点N1がGNDからVDDに変化すると接点S75の波形は遅い経路の遅延量遅延してVDDからGNDに変化するので接点N3には遅い経路の遅延で形成されたパルスが出力される。一方、接点N2の波形はGNDからVDDそしてGNDに変化する。接点N2がGNDからVDDに変

化すると遅い経路で遅延がかかるため接点S76の電圧はすぐには変化しない。接点N2がVDDなっている時間は遅い経路の遅延量より短かいので接点N2がVDDからGNDの変化は速い経路で伝達されるため、接点N2のGNDからVDDへの変化が接点S76に出力される前に接点S76にVDDからGNDへの変化が伝達される。接点S76の波形はVDDのままとなるので接点N4には接点N2のパルスが出力される。遷移検出回路の出力端子T4の波形は、接点N3とN4の波形の合成波形が出力される。

【0006】

【発明が解決しようとする課題】アドレスの入力端子T1に印加されるノイズで入力の波形にパルスが発生し、前記パルスで半導体記憶装置を誤動作させないために回路L1とL2間に容量C1接続し、半導体記憶装置内のリセットを十分に行えない幅の小さいパルス信号をC1で吸収していた。

【0007】アクセスの高速化をはかるためには入力回路についても負荷容量の軽減が必要である。入力回路内での負荷容量を低減すると、幅が小さいパルス信号が回路L2に入力される。図9にノイズで発生したパルス幅が速い経路の遅延時間と同等の場合の動作波形を示す。

【0008】各接点N1からN4とS75とS76の動作波形は図8とほぼ同じであるが、遷移検出回路の出力端子T4には接点N3とN4のそれぞれの波形が出力される。通常の入力信号時のリセット時間に比べて図9の場合はリセット時間が速い経路の遅延量短く十分なりセットが行われない為に誤動作の原因となる。

【0009】前記の誤動作をなくすためには遅い経路の遅延量を増やしてリセット時間を確保するか、または速い経路の遅延量を減少つまり速い経路の伝達速度を高速化すればよい。前述の方法を用いると、遅延回路ブロックの奇数段目の遅延用反転回路のNチャネルトランジスタの能力と偶数段目の遅延用反転回路のPチャネルトランジスタの能力を小さくすればよいが、前記遅延用反転回路のロジックレベルがVDDまたはGNDに近づくために電源のノイズで遅延回路の誤動作が発生する。後述の方法を用いると、遅延回路ブロックの奇数段目の遅延用反転回路のPチャネルトランジスタの能力と偶数段目の遅延用反転回路のNチャネルトランジスタの能力を大きくすればよいが前記反転回路のロジックレベルがVDDまたはGNDに近づくために電源のノイズで遅延回路の誤動作が発生する。前記の方法では速い経路の遅延量とリセット時間は相対する特性なので設定がかない難しい。

【0010】そこで本発明の目的は、入力端子にノイズの影響を受けた場合に生じる誤動作の問題を解決するものであり、入力回路の容量の減少によるアクセスの高速化とノイズ特性の向上に対して有効な遷移検出回路を提供することにある。

【0011】

【課題を解決するための手段】入力端子に印加される入力信号の変化を検出する遷移検出回路において、入力信号の立ち上がりまたは立ち下がりを検出する機能を有するパルス検出回路と、前記パルス検出回路の出力信号のパルス幅を伸長する機能を有するパルス伸長回路から構成されることを特徴とする。

【0012】前記パルス伸長回路は、第一1導電型トランジスタのドレインまたは第2の導電型トランジスタのドレインが前記パルス検出回路の出力信号を遅延させる機能を有する反転回路の入力端子または出力端子に接続され、前記第1の導電型トランジスタのソースを第1の電源電圧に、前記第2の導電型トランジスタのソースを第2の電源電圧に接続され、前記第1の導電型トランジスタのゲートが前記パルス検出回路の出力端子に接続され、前記第2の導電型トランジスタのゲートが、前記パルス検出回路の出力端子に入力端子が接続された反転回路の出力端子に接続されていることを特徴とする。

【0013】前記パルス伸長回路は、前記パルス検出回路の出力端子に接続する第1の導電型および第2の導電型のトランジスタのゲート長が前記パルス伸長回路を構成する第1の導電型および第2の導電型のトランジスタの最大ゲート長より小さいことを特徴とする。

【0014】

【発明の実施の形態】本発明の回路図を図1に示す。B1とB2は立ち上がりパルス検出回路とパルス伸長回路からなる回路ブロックを表す。前記以外の図中の記号は図5と同じ意味である。立ち上がりパルス検出回路とパルス伸長回路からなる回路ブロックB1とB2の回路図を図2に示す。

【0015】B3は立ち上がりパルス検出回路ブロックを、B4はパルス伸長回路ブロックを示す。

【0016】1は高電源電圧を、D1からD5は遅延用反転回路を、L6からL8は反転回路を、L5とL9はNAND回路を、TR1とTR2はPチャネルトランジスタをTR3とTR4はNチャネルトランジスタを示す。S1iからS5i（なおiは回路ブロックB1の時i=1、回路ブロックB2の時i=2とする）は接点を表し、図1の接点N1からN4の対応は次のようになる。接点S11と接点N1、接点S12と接点N2、接点S51と接点N3、接点S52と接点N4は同一である。

【0017】立ち上がりパルス検出回路ブロックB3内の遅延用反転回路D1からD3では奇数段目の遅延用反転回路のPチャネルトランジスタの能力はNチャネルトランジスタの能力に比べて大きく、偶数段目の遅延用反転回路のPチャネルトランジスタの能力はNチャネルトランジスタの能力に比べて小さく設定しているので、立ち下がり波形が接点S1iに入力されると接点S2iの波形はすぐに立ち上がり、立ち上がり波形が接点S1i

に入力されると接点S2は接点S1の立ち上がり波形から遅延して立ち下がるように設定されている。前者の遅延量を速い経路の遅延量、後者の遅延量を遅い経路の遅延量とする。

【0018】遅延用反転回路D1, D2とD3のPチャネルトランジスタとNチャネルトランジスタの能力が図6の遅延回路ブロックB7を構成する遅延用反転回路のD6, D7とD8と同じとすると速い経路の遅延量と遅い経路の遅延量は従来より小さくなる。パルス伸長回路でのパルスを伸ばす量は、図5の回路で通常の入力を印可した時のリセット時間からパルス検出回路の出力パルス幅を引いた時間とする。

【0019】パルス伸長回路ブロックB4において、PチャネルトランジスタTR1とTR2及び反転回路L6とL7のPチャネルトランジスタ及びNチャネルトランジスタのゲート長を、同回路ブロック内の最大ゲート長より小さく、さらにはゲート幅をより小さくすると幅の狭い入力パルスにも前記回路ブロックが反応してパルス伸長回路内の各接点をVDDまたはGNDにことができる。これにより小さな幅のパルスにもパルス伸長回路が正常に動作する。アドレスの入力端子T1に図9と同じ波形が入力された時の動作波形を図3に示す。図中において縦軸は電圧、横軸は時間を表している。

【0020】アドレスの入力端子T1は入力電圧がVDDの時にノイズが入ってGNDになり、そしてまたVDDに回復する信号である。

【0021】接点N1の波形はVDDからGNDそしてVDDに変化する。回路ブロックB1側の立ち上がりパルス検出回路内の遅延用反転回路D1からD3において接点N1の立ち下がり側は速い経路なので接点S2はGNDからVDDになる。接点N1が立ち上がる時は遅い経路なので接点S2は接点N1から遅い経路の遅延量遅れてVDDからGNDになる。接点N1とS2の波形により接点S1には遅い経路の遅延量分の幅を持つパルスが発生する。接点S3がVDDからGNDに変化すると、PチャネルトランジスタTR1とTR2のゲートはVDDからGNDになり、またNチャネルトランジスタTR3とTR4のゲートはGNDからVDDになる。前記PチャネルトランジスタとNチャネルトランジスタは導通状態となるので前記トランジスタのドレインが接続される接点はVDDまたはGNDになり、接点S4はVDDからGNDになる。接点S3がGNDからVDDに変化すると、PチャネルトランジスタTR1とTR2のゲートはGNDからVDDになり、またNチャネルトランジスタTR3とTR4のゲートはVDDからGNDになる。前記PチャネルトランジスタとNチャネルトランジスタは遮断状態となり、遅延用反転回路D4とD5に遅延を持たせてあるので設定した遅延量だけ接点S3から遅れて接点S4はGNDからVDDになる。一方、接点N2の波形はGNDからVDDそして

GNDに変化する。回路ブロックB2側の立ち上がりパルス検出回路では接点N2の波形を検出できないので、接点S2はVDDのままである。接点S3は接点N2の波形は接点S1の波形の反転信号が出力されるため、VDDからGNDそしてVDDに変化する。接点S3がVDDからGNDに変化すると、PチャネルトランジスタTR1とTR2のゲートはVDDからGNDになり、またNチャネルトランジスタTR3とTR4のゲートはGNDからVDDになる。前記PチャネルトランジスタとNチャネルトランジスタは導通状態となるので前記トランジスタのドレインが接続される接点はVDDまたはGNDになり、接点S4はVDDからGNDになる。接点S3がGNDからVDDに変化すると、PチャネルトランジスタTR1とTR2のゲートはGNDからVDDになり、またNチャネルトランジスタTR3とTR4のゲートはVDDからGNDになる。前記PチャネルトランジスタとNチャネルトランジスタは遮断状態となり、遅延用反転回路D4とD5に遅延を持たせてあるので設定した遅延量だけ接点S3から遅れて接点S4はGNDからVDDになる。遷移検出回路の出力端子T4の波形は接点N3とN4の波形を合成した波形となり十分なリセット時間を持つ。

【0022】図4に通常のアドレスが入力された場合の動作波形を示す。

【0023】入力端子T1が立ち下がる時は、回路ブロックB2の立ち上がりパルス検出回路で出力パルスが発生し、同ブロックのパルス伸長回路が前記出力パルスを伸長、入力端子T1が立ち上がる時は、回路ブロックB1の立ち上がりパルス検出回路で出力パルスが発生し、同ブロックのパルス伸長回路が前記出力パルスを伸長し、各ブロックB1とB2の出力波形を論理合成して遷移回路の出力波形となる。

【0024】このようにして、従来回路ではリセット時間を満足しない入力端子のノイズにより発生するパルス幅でも、本発明した回路を使用することでリセット時間が十分な遷移検出回路の出力パルスを発生することが可能となる。また入力回路の負荷容量の最適化が図れるのでアクセスの高速化が可能となる。

【0025】

【発明の効果】以上述べてきたように、本発明によれば、パルス検出回路と、前記パルス検出回路の出力信号で遅延回路を構成する反転回路の各接点を第1の電源電圧または第2の電源電圧に接続する機能を有するパルス伸長回路を遷移検出回路に設けることで入力信号にノイズで生じた幅の小さいパルスが発生してもリセット時間が十分な遷移検出回路の出力パルスを生成する。

【0026】また、パルス検出回路の出力端子に接続する回路のPチャネルトランジスタとNチャネルトランジスタのゲート長をパルス伸長回路を構成するPチャネルトランジスタとNチャネルトランジスタの最大ゲート長より小さくすることで、より幅が小さいパルスに対して

もしセット時間が十分な遷移回路の出力パルスが得られるので入力端子に印加されるノイズによる誤動作防止効果がある。さらには入力回路の負荷容量の最適化が図れるのでアクセスの高速化に効果がある。

【図面の簡単な説明】

【図1】本発明の回路図。

【図2】本発明の回路ブロックの回路図。

【図3】本発明の速い経路の遅延と同じパルス幅がある入力波形での動作波形図。

【図4】本発明の通常の入力波形での動作波形図。

【図5】従来の回路図。

【図6】従来の回路ブロックの回路図。

【図7】従来の通常の入力波形での動作波形図。

【図8】従来の遅い経路の遅延以下のパルス幅がある入力波形での動作波形図。

【図9】従来の速い経路の遅延と同じパルス幅がある入力波形での動作波形図。

【符号の説明】

1 : 高電源電圧

2 : 低電源電圧

T1 : アドレスの入力端子

T2 : NOR回路制御信号入力端子

T3 : 入力回路出力端子

T4 : 遷移検出回路の出力端子

S1i, S2i, S3i, S4i, S5i, S6i, S7i, S8i : 接点

L1, L4 : NOR回路

L2, L3, L6, L7, L8 : 反転回路

D1, D2, D3, D4, D5, D6, D7, D8, D9, D10 : 遅延用反転回路

L5, L9, L10 : NAND回路

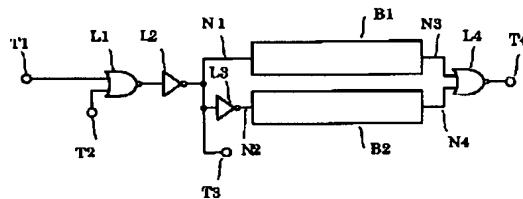
B1, B2, B3, B4, B5, B6, B7 : 回路ブロック

TR1, TR2 : Pチャネルトランジスタ

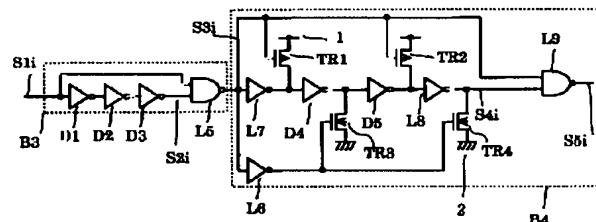
TR3, TR4 : Nチャネルトランジスタ

C1 : 負荷容量

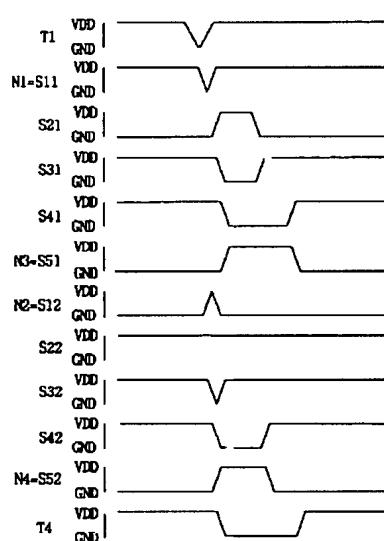
【図1】



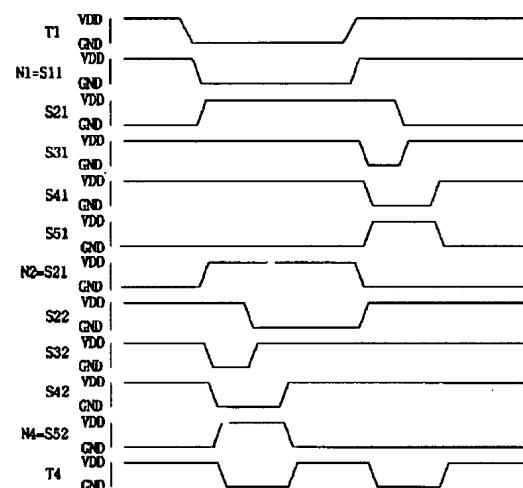
【図2】



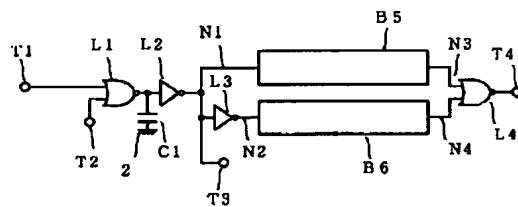
【図3】



【図4】



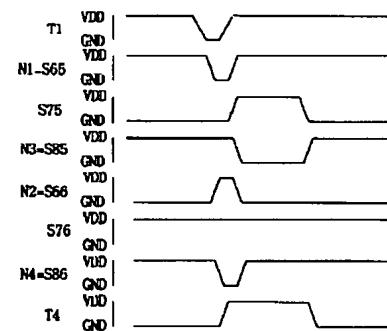
【図5】



【図6】



【図8】



【図9】

